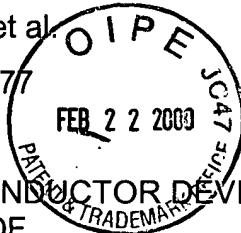




IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Tomita, et al. Docket No.: TIJ-26105
Serial No.: 09/387,477 Art Unit: 2811
Filed: 09/01/99 Examiner: TBD
Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREOF

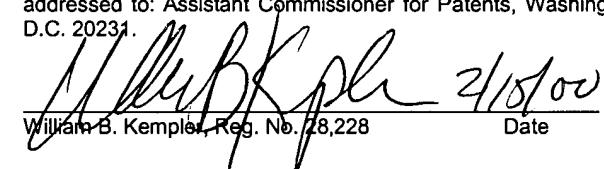


TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C. § 119

September 30, 1999

Assistant Commissioner for Patents
Attn.: Application Processing Div.
Customer Correction Branch
Washington, DC 20231

MAILING CERTIFICATE UNDER 37 C.F.R. §1.8(A)
I hereby certify that this correspondence is being deposited with
the United States Postal Service as first class mail in an envelope
addressed to: Assistant Commissioner for Patents, Washington,
D.C. 20231.

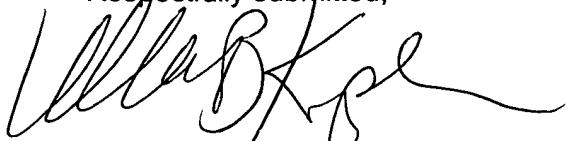

William B. Kempler, Reg. No. 28,228

Date 2/10/00

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 10 (1998) 262,461 filed on September 01, 1998, in the Japanese Patent Office and from which priority under 35 U.S.C. § 119 is claimed for the above-identified application.

Respectfully submitted,



William B. Kempler
Senior Corporate Patent Counsel
Reg. No. 28,228

Texas Instruments Incorporated
PO BOX 655474, M/S 3999
Dallas, TX 75251
(972)917-5452
(972)917-4407



日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

51fruity
Papers
Lects
5/24/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1998年 9月 1日

出願番号
Application Number:

平成10年特許願第262461号

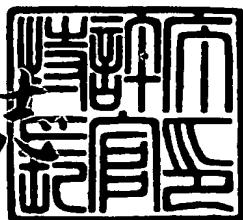
出願人
Applicant(s):

日本テキサス・インスツルメンツ株式会社
株式会社日立製作所

1999年 7月 8日

特許庁長官
Commissioner,
Patent Office

佐山 建



出証番号 出証特平11-3048448
TIJ-26105 JA U.S.

【書類名】 特許願
【整理番号】 P1073-4
【提出日】 平成10年 9月 1日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 9
【発明者】
【住所又は居所】 茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内
【氏名】 富田 学
【発明者】
【住所又は居所】 茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内
【氏名】 早川 崇
【発明者】
【住所又は居所】 茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内
【氏名】 保田 正之
【発明者】
【住所又は居所】 茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内
【氏名】 西村 美智夫
【発明者】
【住所又は居所】 茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内
【氏名】 大塚 実
【発明者】
【住所又は居所】 東京都青梅市今井2326番地 株式会社日立製作所デ

バイス開発センタ内

【氏名】 呂島 雅之

【発明者】

【住所又は居所】 東京都青梅市今井2326番地 株式会社日立製作所
バイス開発センタ内

【氏名】 山崎 一雄

【特許出願人】

【識別番号】 390020248

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代表者】 生駒 俊明

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代表者】 金井 務

【代理人】

【識別番号】 100086564

【弁理士】

【氏名又は名称】 佐々木 聖孝

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9206516

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 フッ素原子数に対する炭素原子数の比（以下、C/F比と称する。）が異なる複数種のフッ化炭素系ガスの混合ガスを用いて、半導体基体上の絶縁層をエッチングする工程を含む、半導体装置の製造方法。

【請求項2】 C/F比の大きい第1のフッ化炭素系ガスに対してC/F比の小さい第2のフッ化炭素系ガスを等量以下混合した前記混合ガスを用いる、請求項1に記載した半導体装置の製造方法。

【請求項3】 前記第1のフッ化炭素系ガスとして $C_4 F_8$ を使用し、前記第2のフッ化炭素系ガスとして CHF_3 、 $CH_2 F_2$ 及び CF_4 からなる群より選ばれた少なくとも1種を使用する、請求項2に記載した半導体装置の製造方法。

【請求項4】 前記フッ化炭素系ガスの混合ガスによって前記絶縁層をプラズマエッチングする、請求項1に記載した半導体装置の製造方法。

【請求項5】 前記半導体基体上に下部導電層を電極又は配線として形成し、この下部導電層上を覆う前記絶縁層に前記エッチングによって接続孔を形成し、前記下部導電層に接続される上部導電層を電極又は配線として前記接続孔に形成する、請求項1に記載した半導体装置の製造方法。

【請求項6】 前記下部導電層が、前記接続孔の形成される表面側にチタンナイトライド層を有し、かつ、前記絶縁層がスピン・オン・グラス層を含んでいる、請求項5に記載した半導体装置の製造方法。

【請求項7】 前記下部導電層が、チタンナイトライド層とアルミニウム又はその合金層とチタン層とチタンナイトライド層とをこの順に積層した積層構造からなり、かつ、前記絶縁層が、テトラエチルオルソシリケートから形成されたシリコン酸化物層とスピン・オン・グラス層とテトラエチルオルソシリケートから形成されたシリコン酸化物層とをこの順に積層した積層構造からなっている、請求項6に記載した半導体装置の製造方法。

【請求項8】 表面側にチタンナイトライド層を有する下部導電層が電極又

は配線として半導体基体上に形成され、この下部導電層上を覆うようにスピン・オン・グラス層を含む絶縁層に接続孔が形成され、前記下部導電層に接続される上部導電層が電極又は配線として前記接続孔に形成されている半導体装置であつて、前記接続孔が前記絶縁層を通して前記チタンナイトライド層の層厚の中間位置まで形成されている、半導体装置。

【請求項9】 前記下部導電層が、チタンナイトライド層とアルミニウム又はその合金層とチタン層とチタンナイトライド層とをこの順に積層した積層構造からなり、かつ、前記絶縁層が、テトラエチルオルソシリケートから形成されたシリコン酸化物層とスピン・オン・グラス層とテトラエチルオルソシリケートから形成されたシリコン酸化物層とをこの順に積層した積層構造からなっている、請求項8に記載した半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基体上に絶縁層を有する半導体装置、特に下部導電層が電極又は配線として半導体基体上に形成され、この下部導電層上を覆う絶縁層に接続孔が形成され、前記下部導電層に接続される上部導電層が電極又は配線として前記接続孔に形成されている多層配線構造の半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

半導体集積回路装置においては、多層配線構造は上下の電極又は配線間を接続するために必須であり、次のような方法で形成される。

【0003】

図1(a)に示すように、接続孔(ビアホール)を形成する前の状態では、シリコン半導体基板上に設けた SiO_2 層1上に、下部配線2が形成され、この上は絶縁層3で覆われている。下部配線2は、厚さ0.1μmのチタンナイトライド(以下、TiNと記すことがある。)層4と、厚さ0.4μmのアルミニウム合金層(例えばAl-Si-Cu又はAl-Cu)層5と、厚さ0.01μmの

チタン（以下、Tiと記すことがある。）層6と、厚さ0.075μmのTiN層7とをこの順に、スパッタ法などで積層した積層構造からなっている。そして、絶縁層3は、層間絶縁膜として、テトラエチルオルソシリケートを液体ソースとしてO₃などの酸化剤を用いてプラズマ発生下で成膜された厚さ0.3μmのSiO₂層（以下、PTEOS層と記することがある。）8と、SiO_xをアルコールに溶解した薬液の塗布及びベークで成膜された厚さ0.4μmのシリコン・オン・グラス層（以下、SOG層と記することがある。）9と、上層の厚さ0.3μmのPTEOS層10とをこの順に積層した積層構造からなっている。なお、図1（a）は下部配線2上のSOG層8の膜厚が小さい場合であるが、図2（a）のようにその膜厚が大きい場合も同様である。

【0004】

そして次に、図1（b）、図2（b）に示すように、所定パターンのフォトマスク（図示せず）をマスクにして、フッ化炭素系のエッチングガスを用いてプラズマ（ドライ）エッチングを行い、絶縁層3を通して下部配線3に達する接続孔（ビアホール）11を形成する。更に、仮想線で示すように、スパッタ法及びフォトリソグラフィー技術によって、アルミニウムなどの上部配線12を形成し、接続孔11を通して下部配線2と接続する。

【0005】

このドライエッチングでは、一般的に用いられている図6に示す平行平板型RIEタイプの装置を用いる。これは、上部、下部の両電極13、14に各々高周波電源15、16を持つタイプのもの〔UNITY IEM (Ion Energy Modulation)〕を使用する。この装置は、一般的に、中密度のプラズマエッチング装置と言われている。

【0006】

このプラズマエッチングに際して、エッチングガスとして主として次の2種類のガスが下記の条件で使用される。

- (1) CHF₃ / Ar / O₂ の混合ガス (Si₃N₄ やTiNに対する選択比は低い。)

CHF₃ / Ar / O₂ = 50 / 500 / 9 sccm, 圧力 = 50 mT,

R F (上部電極／下部電極) = 2200 / 1000 W、

背圧 (中央部／エッジ部) = 10 / 35 T、

温度 (下部電極／上部電極／チャンバー側壁) = -20 / 30 / 40 °C

(2) $C_4F_8 / Ar / O_2$ の混合ガス (Si_3N_4 や TiN に対する選択比は高い。)

$C_4F_8 / Ar / O_2 = 18 / 420 / 11$ sccm、圧力 = 30 mT

R F (上部電極／下部電極) = 2200 / 1400 W、

背圧 (中央部／エッジ部) = 10 / 35 T、

温度 (下部電極／上部電極／チャンバー側壁) = -20 / 30 / 40 °C

【0007】

【発明が解決しようとする課題】

しかしながら、上記のエッチングガスによるドライエッチングはいずれも、次のような問題点を有している。

【0008】

(1) ビアホールドライエッチングに $CHF_3 / Ar / O_2$ 混合ガスを用いると、Al合金層5の上層の TiN 層7（更には TiN 層6）がエッチオフされてしまう。この時、問題となるのは、 TiN 層7の下の Al 合金層5が露出すると、エッチング後に Al の表面にフッ化された層 ($AlFx$ 層) が残る。この $AlFx$ 層によって、コンタクトの高抵抗化、並びにバラツキの拡大が生じ、デバイスの性能に悪影響を及ぼすことは一般的に知られている。ただし、現行の 0.3 ~ 0.4 μm 程度のサイズのビアホールにおいては、この $AlFx$ 層は、次工程のメタル（上部配線用）のデポジションの際のスパッタエッチにより除去されてしまうため、今のところ問題にはなっていない。しかし、今後ビアホールのサイズが小さくなっていくにつれ、スパッタエッチが不十分となって、フッ化された層が除去しきれなくなることが予想される。

【0009】

(2) また、Al合金層5上の TiN に対して選択比の高い $C_4F_8 / Ar / O_2$ 混合ガスを用いる場合、 TiN 層7上でエッチングをストップさせることになるため、次のような問題が生じる。

(a) 膜中に Si-N結合が存在するようなSOG層9を絶縁層に使用しているので、Si₃N₄に対して高い選択比を持つこのガス系では、SOGに対しても選択性が高く、SOG層9にてエッチングが止まってしまう。これは、ピアホール径が小さくなるほど顕著に現れる（図3（a）参照）。

(b) また、SOG層9により平坦化を行うため、場所によっては下部配線2上の層間膜（絶縁層3）の膜厚が異なるので、このような箇所にピアホールを開ける場合、層間膜の膜厚が厚い部分ではホールが開かない（即ち、所定のエッチング時間ではエッチングが下部まで届かない）ものが生じる可能性がある。

【0010】

本発明の目的は、コンタクト抵抗を低くかつ均一にして確実に接続孔を開けることのできる方法と、これにより作製される半導体装置を提供することにある。

【0011】

【課題を解決するための手段】

本発明者は、上記した従来技術の問題点について鋭意検討を加えた結果、まず以下に述べる事実を考慮した。

【0012】

上記したCHF₃（又はCF₄）のように、フッ素原子数に対する炭素原子数の比（即ち、C/F比）の低いガスの場合、プラズマ中のFラジカルの量は多く、SiやSi₃N₄、レジストなどはエッチングされ易くなることは一般的に知られている。これに対し、上記したC₄F₈のようにC/F比の高いガスの場合、プラズマ中のCF_xラジカルの量が多くなり、このCF_xラジカルが膜上に堆積し、SiやSi₃N₄がFラジカルと反応するのを防ぐ役割を果たす。その結果、これらの膜がエッチングされにくくなるということも一般的に知られている。

【0013】

即ち、

(1) CF₄ガス（C/F比低い）の場合、プラズマ中のFラジカルの量は多く、SiやSi₃N₄、レジストはエッチングされ易い。

(2) CHF_3 ガス (C/F比少し低い) の場合、 CF_4 ガスに比べて F ラジカルの量は少ない。これは、H が F と結合し、HF が生成されることによる。従って、Si やレジストはエッティングされ難くなる。しかし、最近使用されている、高密度プラズマを発生する装置の場合、 CF_x ラジカルの再解離により F ラジカルが増えるため、従来の低密度プラズマの場合に比べて Si や Si_3N_4 レジストが削れ易くなる。

(3) C_4F_8 ガス (C/F比が高い) の場合、他のガスに比べてプラズマ中の CF_x ラジカルの量は多い。従って、膜への CF_x ラジカルの堆積が多くなるため、他のガスの時に比べて Si や Si_3N_4 レジストが削れにくい。

【0014】

これらのことふまえて、本発明者は、 $\text{C}_4\text{F}_8 / \text{Ar} / \text{O}_2$ (高C/F比のガス) に CHF_3 (低C/F比のガス) を少量加えることによって、従来技術の問題点を十二分に解消し、本発明の目的を実現できることを見い出し、本発明に到達したのである。

【0015】

即ち、本発明は、フッ素原子数に対する炭素原子数の比 (C/F比) が異なる複数種のフッ化炭素系ガスの混合ガス (例えば、 C_4F_8 と CHF_3 との混合ガス) を用いて、半導体基体上の絶縁層をエッティング (特にプラズマエッティング) する工程を含む、半導体装置の製造方法に係るものである。

【0016】

本発明の製造方法によれば、 $\text{C}_4\text{F}_8 / \text{Ar} / \text{O}_2$ の如き高C/F比のガスに CHF_3 の如き低C/F比のガスを例えば 3 : 1 の割合で少量加えることによって、下記の顕著な効果を得ることができる所以ある。

【0017】

(1) SOG のエッティングレートを増大させることができる (後記の図3、図4 参照)。C/F比の低いガスを加えたことにより、プラズマ中の F ラジカルが増加し、これによって Si-N 結合を含むような SOG のエッティングレートも増大する。

(2) TiN のエッティングレートの極端な増加を防ぐことができる (選択比 2

0以上) (後記の図5参照)。Fラジカルの増加によるTINに対する選択比の低下が懸念されたが、例えばCHF₃ガス中のHによるFラジカルとの反応で、Fラジカルの極端な増加が抑えられ、選択比についても20以上を得ることができる。

【0018】

こうした顕著な効果によって、本発明の製造方法で作製される半導体装置は独得な構造を有するものとなり、コンタクト抵抗の低下及びその均一性の点で優れたものとなる。

【0019】

即ち、本発明による半導体装置は、表面側にチタンナイトライド層を有する下部導電層が電極又は配線として半導体基体上に形成され、この下部導電層上を覆うようにスピン・オン・グラス層を含む絶縁層に接続孔が形成され、前記下部導電層に接続される上部導電層が電極又は配線として前記接続孔に形成されている半導体装置であって、前記接続孔が前記絶縁層を通して前記チタンナイトライド層の層厚の中間位置まで形成されている。

【0020】

【発明の実施の形態】

本発明の製造方法及び半導体装置においては、C/F比の大きい第1のフッ化炭素系ガスに対してC/F比の小さい第2のフッ化炭素系ガスを等量以下(1:1以下)混合した前記混合ガスを用いるのがよい。

【0021】

前記第1のフッ化炭素系ガスとしてC₄F₈を使用し、前記第2のフッ化炭素系ガスとしてCHF₃、CH₂F₂及びCF₄からなる群より選ばれた少なくとも1種を使用することができる。

【0022】

そして、前記半導体基体上に下部導電層を電極又は配線として形成し、この下部導電層上を覆う前記絶縁層に前記エッチングによって接続孔を形成し、前記下部導電層に接続される上部導電層を電極又は配線として前記接続孔に形成することができる。

【0023】

この場合、前記下部導電層が、前記接続孔の形成される表面側にチタンナイトライド層を有し、かつ、前記絶縁層がスピン・オン・グラス層を含んでいる。例えば、前記下部導電層が、チタンナイトライド(TiN)層とアルミニウム又はその合金層とチタン(Ti)層とチタンナイトライド(TiN)層とをこの順に積層した積層構造からなり、かつ、前記絶縁層が、テトラエチルオルソシリケートから形成されたシリコン酸化物層(特にPTEOS層)とスピン・オン・グラス層(SOG層)とテトラエチルオルソシリケートから形成されたシリコン酸化物層(特にPTEOS層)とをこの順に積層した積層構造からなっている。

【0024】

次に、本発明を好ましい実施の形態について図面参照下に説明する。

【0025】

まず、図1(a)、図2(a)に示したように、接続孔(ビアホール)を形成する前の状態では、シリコン半導体基板上に設けたSiO₂層1上に、TiN層4と、アルミニウム合金層(例えばAl-Si-Cu又はAl-Cu)層5と、Ti層6と、TiN層7とをこの順に、スパッタ法などで積層した積層構造からなる下部配線2が形成されている。そして、絶縁層3は、層間絶縁膜として、PTEOS層8と、SOG層9と、上層のPTEOS層10とをこの順に積層した積層構造からなっている。

【0026】

そして次に、図1(c)、図2(c)に示すように、所定パターンのフォトマスク(図示せず)をマスクにして、本発明によるフッ化炭素系のエッチングガスを用いてプラズマ(ドライ)エッチングを行い、絶縁層3を通して下部配線3に達する(具体的には、TiN層7の層厚の中間位置までの)接続孔(ビアホール)21を形成する。更に、仮想線で示すように、スパッタ法及びフォトリソグラフィー技術によって上部配線12を形成し、接続孔21を通して下部配線2と接続する。

【0027】

このプラズマエッチングに際して、図6に示したプラズマエッチング装置にお

いて、エッティングガスとして、高C/F比のエッティングガスである C_4F_8 に、低C/F比のエッティングガスである CHF_3 ガスを加えた混合ガスを用いビアホールのエッティングを行った。

$C_4F_8 / CHF_3 / Ar / O_2$
 $= 15 / 5 / 400 / 10$ 又は $10 / 10 / 400 / 10$ sccm,

圧力 = 30 mT, RF (上部電極/下部電極) = 2200 / 1400 W,

背圧 (中央部/エッジ部) = 10 / 35 T,

温度 (下部電極/上部電極/チャンバー側壁) = -20 / 30 / 40 °C

【0028】

種々のビアホールサイズについてのSOG層9のエッティングレートを測定した結果を図3 (b) に示す。ここでは、既述した従来の条件 ($C_4F_8 / Ar / O_2 = 18 / 420 / 11$) で得られた結果を図3 (a) に併せて示す。

【0029】

この結果によれば、膜中にSi-N結合を有するSOG膜の如き酸化膜に対し、本発明の条件では、従来の場合より早いエッティングレートを得ることができ、場所的にもエッティングの均一性が向上することが分った。ビアホール径によるエッティングレート低下の影響も従来のものに比べ小さくなり、ビアホール径を小さくしても（特に0.3~0.4 μm又はそれ以下でも）結果が良好に維持される可能性が高い。これは、低C/F比の CHF_3 ガスを高C/Fの C_4F_8 ガスに加えることで、プラズマ中のFラジカルが増加したことによるものと思われる。

【0030】

次に、SOG層7のエッティングレートを図4に、下部配線2におけるAl合金層5の上層のTiN層7に対する選択比を図5にそれぞれ、従来例と比較して示す。

【0031】

これによれば、図4からは、本発明の条件により、SOGのエッティングレートが向上することは明らかである。また、図5からは、本発明の条件により、TiNに対し、20以上の選択比が得られた。これは、 CHF_3 ガスを加えたことによるプラズマ中のFラジカルの増加で、TiNとの選択比が低下することが懸念

されたが、 CHF_3 中の H によって F ラジカルの増加が抑えられ、TiN との選択比の大幅な低下が防がれたことを示す。なお、 CHF_3 ガスの混合割合を増やすと、SOG のエッティングレートは向上しても却って TiN の選択比が低下し易いため、その混合割合は C_4F_8 と同等若しくはそれ以下とするのが望ましい。

【0032】

このように、本発明の混合ガスによるドライエッティングで、図1 (c) 及び図2 (c) に示すように、膜中に Si-N 結合を有する SOG 層と酸化膜との複合膜（絶縁層3）のドライエッティングにおいて、SOG 層 8 が薄くても或いは厚くても、Al 合金層 5 の上層の TiN 層 7 の膜厚の中間位置でエッティングがストップするようにビアホール 21 を再現性良く確実に開けることができる。

【0033】

従って、このような構造では、Al 合金層 5 がビアホール 21 に露出しないため、Al 合金層の表面フッ化は生じることではなく、上下の配線間のコンタクト抵抗が小さくなり、またその均一性も良くなる。

【0034】

以上に述べた本発明の実施の形態は、本発明の技術的思想に基づいて更に変形が可能である。

【0035】

上述の例では、C/F 比の高い C_4F_8 系の混合ガス $\text{C}_4\text{F}_8/\text{Ar}/\text{O}_2$ に C/F 比の低い CHF_3 を少量加えたが、 CHF_3 ガスよりも C/F 比の低い CF_4 を用いても、SOG のエッティングレートを増加させることは可能である。ただし、 CHF_3 に比べて、F ラジカルの量が多いため、TiN に対する選択比は CHF_3 の場合よりも低くなると思われる。従って、C/F 比の低いガスで、F ラジカルの極端な増加を防げるような H の入ったガス、例えば CH_2F_2 などでも同様の効果が得られる。特に、高密度プラズマを発生させることができるような装置でエッティングを行う場合、CFx ラジカルが再解離して F ラジカルが増加することにより TiN との選択比が低下することを防ぐため、H を含んだガスを用いると、F ラジカルの大幅な生成を抑制する方法として効果的である。

【0036】

その他、上述の多層配線構造の各部の材質などは種々に変更してよいし、本発明が適用可能な装置構成は上述したものに限定されることはない。また、本発明は、上述の多層配線に限らず、半導体基板と接続をとるためのコンタクトホールの形成などにも適用できる。

【0037】

【発明の作用効果】

本発明の製造方法によれば、 $C_4F_8 / Ar / O_2$ の如き高C/F比のガスと CHF_3 の如き低C/F比のガスとを混合したガスを用いてSOGの如き絶縁層をエッティングするので、C/F比の低いガスを加えたことにより、プラズマ中のFラジカルが増加し、これによってSi-N結合を含むようなSOGのエッティングレートも増大し、また、Fラジカルが増加しても、ガス中のHによるFラジカルとの反応で、Fラジカルの極端な増加が抑えられ、TiNの選択比についても20以上を得ることができる。

【0038】

従って、本発明の製造方法で作製される半導体装置はTiN層の層厚の中間位置まで接続孔が開いた獨得な構造を有するものとなり、コンタクト抵抗の低下及びその均一性の点で優れたものとなる。

【図面の簡単な説明】

【図1】

多層配線構造を形成するときの工程を比較して示す要部断面図である。

【図2】

多層配線構造を形成するときの工程を比較して示す要部断面図である。

【図3】

同、多層配線構造を形成するのに用いるSOGのエッティングレートのピアホールサイズ依存性を比較して示すグラフである。

【図4】

同、多層配線構造を形成するのに用いるSOGのエッティングレートのエッティングガス組成依存性を示すグラフである。

【図5】

同、多層配線構造を形成するのに用いるTiNに対する選択比のエッチングガス組成依存性を示すグラフである。

【図6】

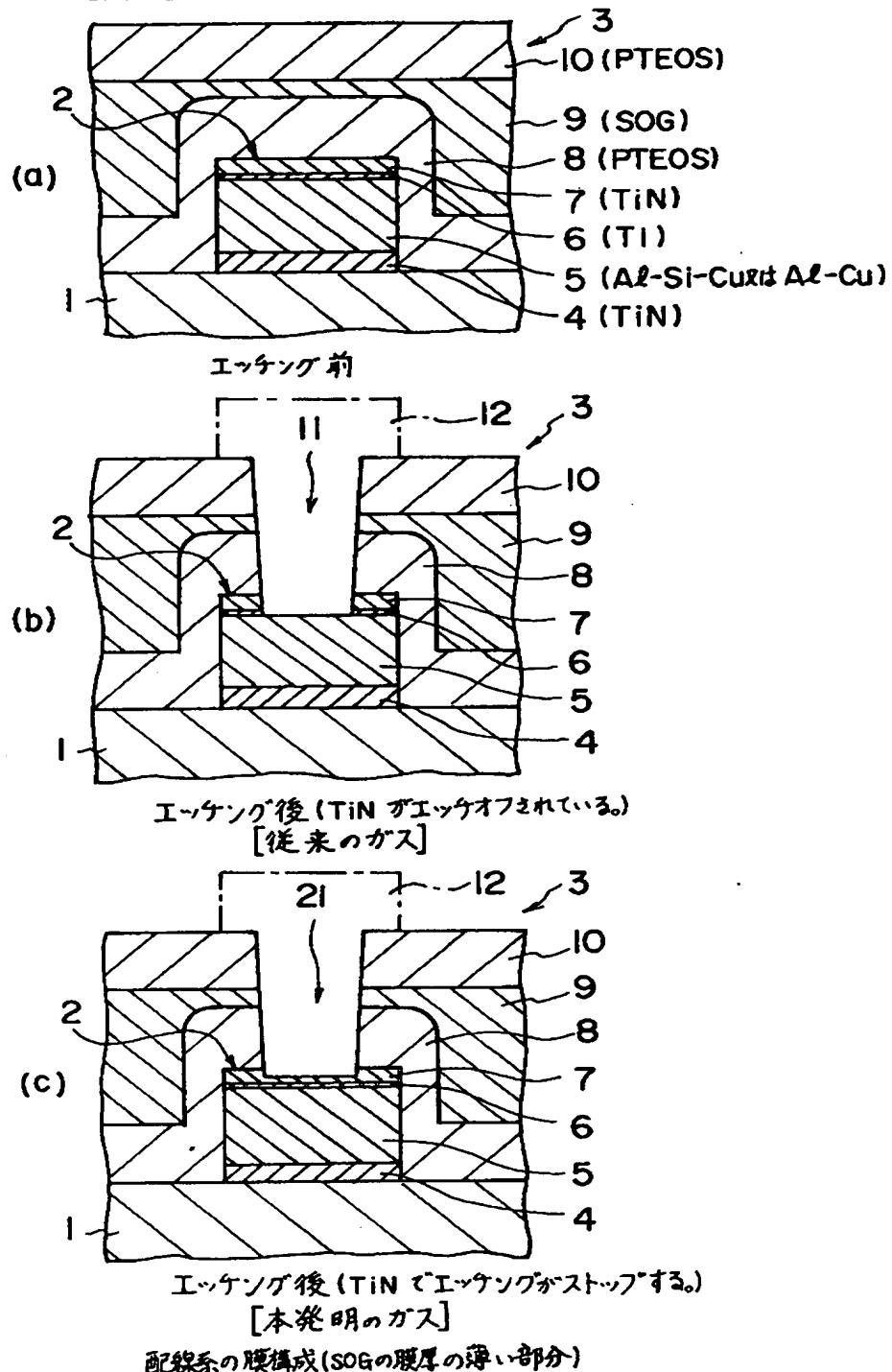
同、多層配線構造を形成する際のドライエッチングに用いるプラズマエッティング装置の概略図である。

【符号の説明】

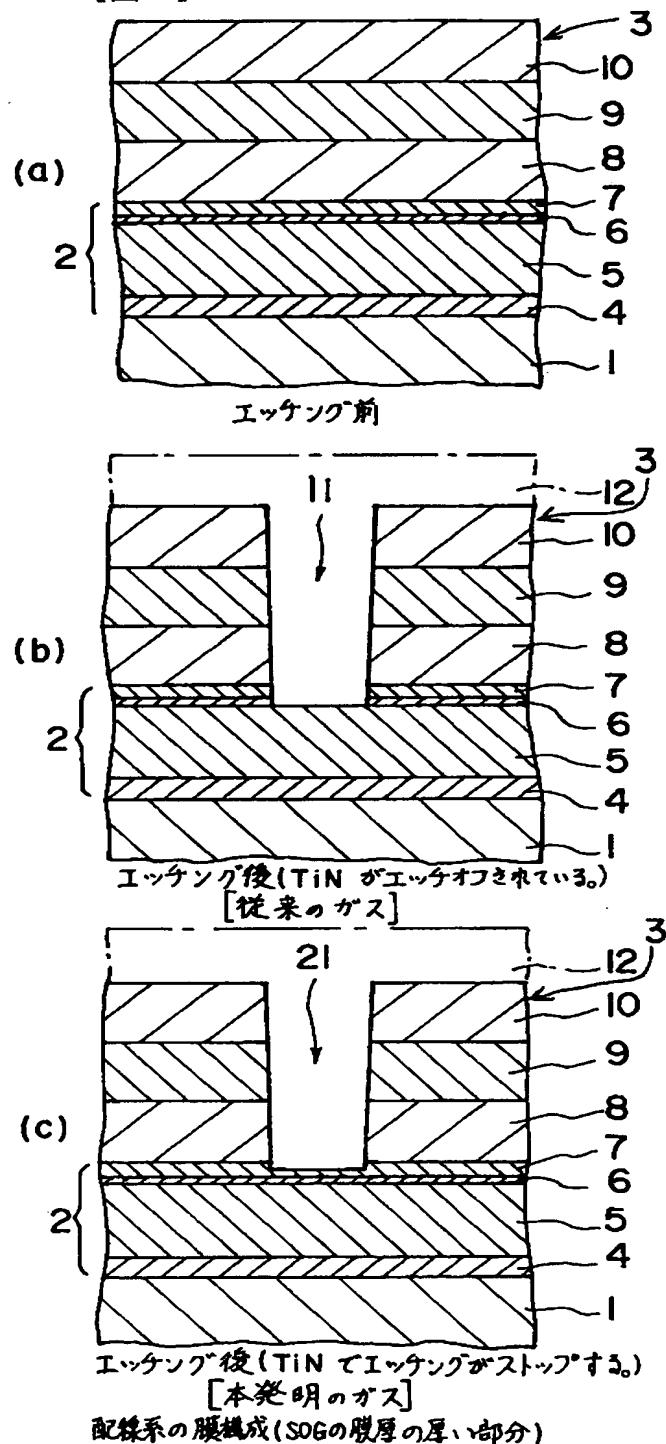
- 1 . . . SiO₂層
- 2 . . . 下部配線
- 3 . . . 絶縁層（層間絶縁膜）
- 4、7 . . . TiN層
- 5 . . . Al合金層（又はAl層）
- 6 . . . Ti層
- 8、10 . . . PTEOS層
- 9 . . . SOG層
- 11、21 . . . ビアホール
- 12 . . . 上部配線

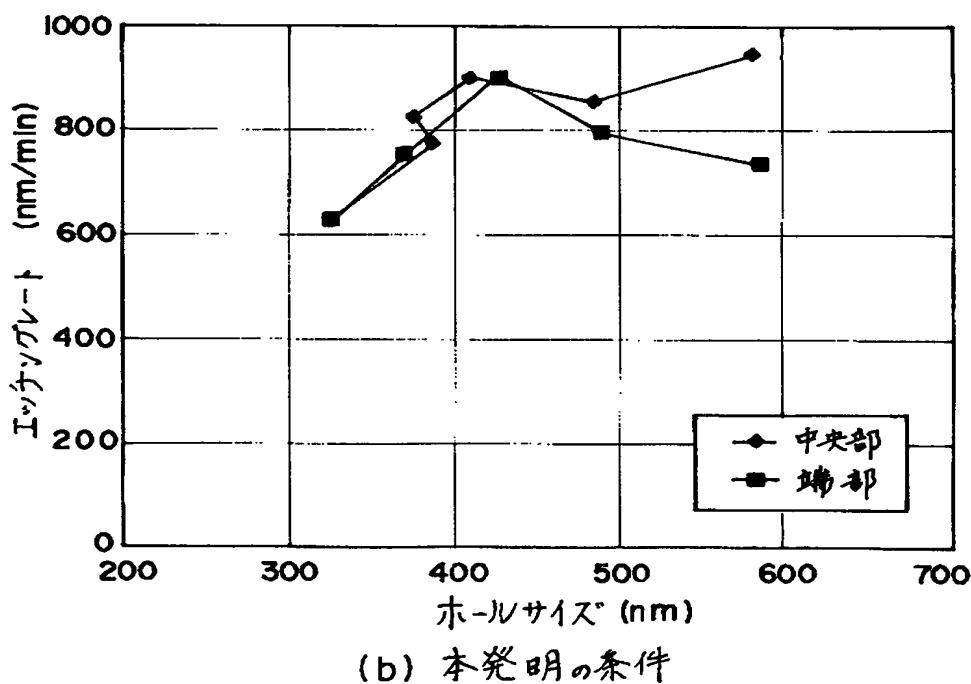
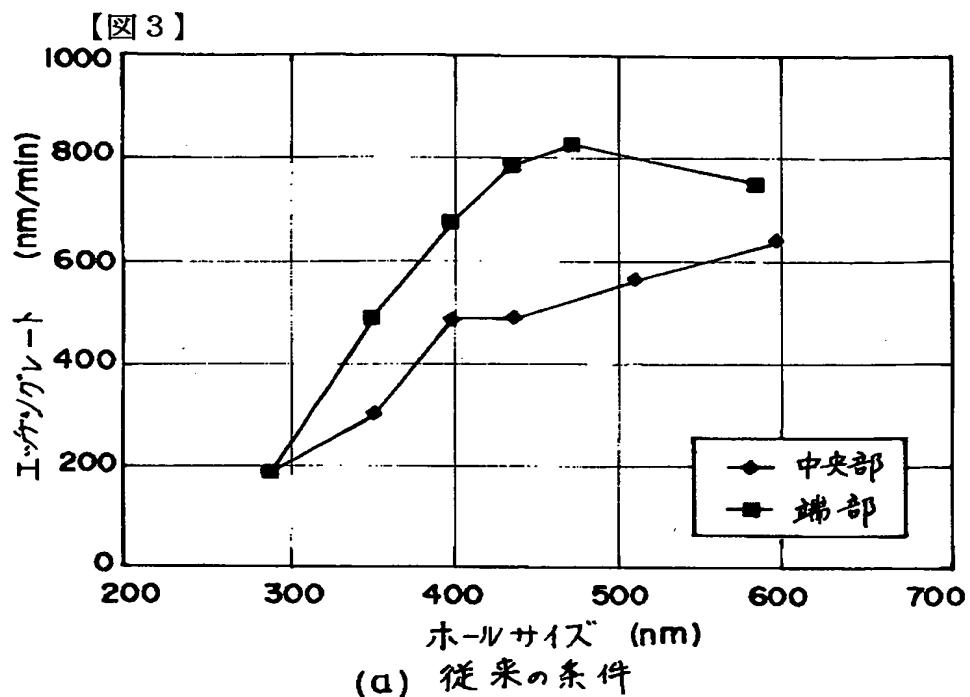
【書類名】 図面

【図1】

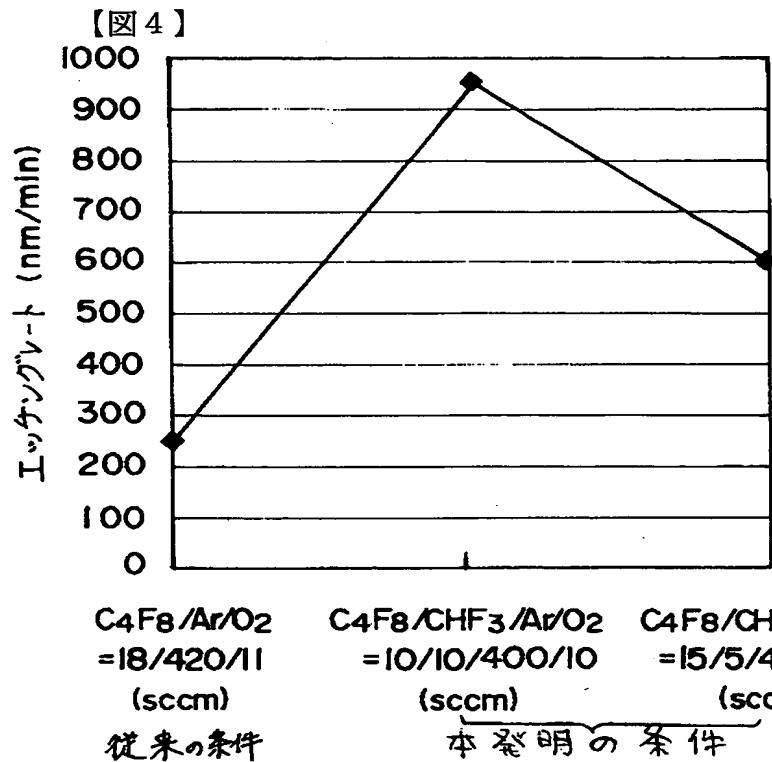


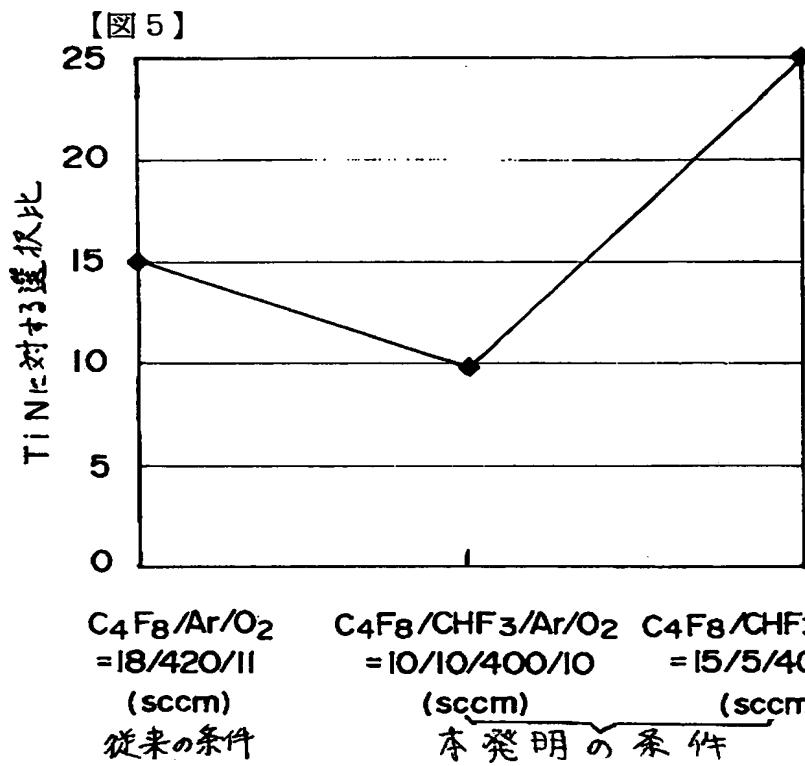
【図2】



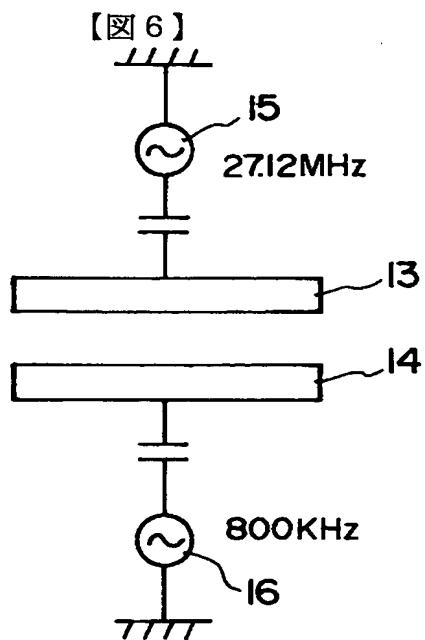


SOG エッティングレートのホールサイズ依存性





【図6】



【書類名】 要約書

【要約】

【課題】 コンタクト抵抗を低くかつ均一にして確実に接続孔を開けることのできる方法と、これにより作製される半導体装置を提供すること。

【解決手段】 $C_4F_8 / Ar / O_2$ の如き高C/F比のガスにCHF₃の如き低C/F比のガスを例えば3:1の割合で少量加えたエッティングガスを用いてSOG層7を含む絶縁層3をプラズマエッティングする。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 390020248
【住所又は居所】 東京都港区北青山3丁目6番12号 青山富士ビル
【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【特許出願人】

【識別番号】 000005108
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100086564
【住所又は居所】 東京都千代田区神田駿河台2-11-16 駿河台
【氏名又は名称】 さいかち坂ビル302号 佐々木國際特許事務所
佐々木 聖孝

出願人履歴情報

識別番号 [390020248]

1. 変更年月日 1990年11月 7日
[変更理由] 新規登録
住 所 東京都港区北青山3丁目6番12号 青山富士ビル
氏 名 日本テキサス・インスツルメンツ株式会社

2. 変更年月日 1999年 5月 27日
[変更理由] 住所変更
住 所 東京都新宿区西新宿6丁目24番1号 西新宿三井ビル
氏 名 日本テキサス・インスツルメンツ株式会社

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所